

(11)特許出願公開番号

特開平9-233393

(43)公開日 平成9年(1997)9月5日

(51) Int.Cl.⁶

H04N 5/335

識別記号

室内整理番号

FI

H04N 5/335

技術表示箇所

F

審査請求 未請求 請求項の数5 O.L (全 8 頁)

(21)出願番号 特願平8-33719

(22)出願日 平成8年(1996)2月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 石村 夏絵

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

(72)發明者 杉木 忠

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝マルチメディア技術研究所内

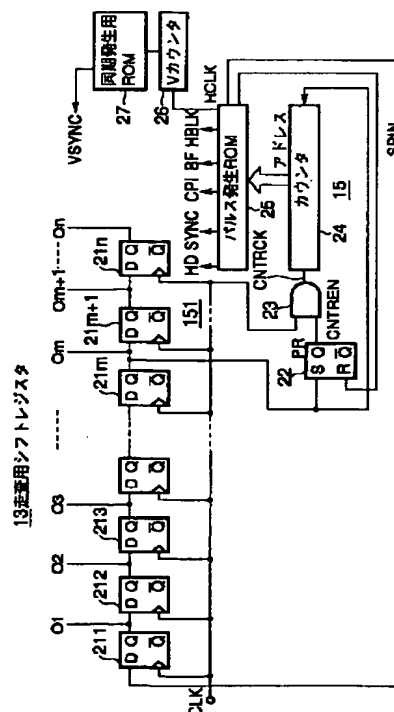
(74)代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 1チップ固体撮像装置

(57) 【要約】

【課題】この発明は、映像信号にタイミング発生部のカウンタで生ずる雑音が重畳されないようにする1チップ固体撮像装置を提供することを課題とする。

【解決手段】撮像領域からのイメージ信号を出力する水平走査スイッチング回路を駆動する水平走査シフトレジスタ13は、クロックで駆動される縦続接続したDフリップフロップ21₁～21_nで構成され、水平走査スイッチング回路の駆動信号が出力される。タイミング発生部のカウンタ24は、水平走査シフトレジスタ13のm段目のフリップフロップ21_mの出力を受けて始動し、映像信号部分から外れたブランキング期間においてのみ動作する。そして、このカウンタ部からの出力をアドレスとしてパルス発生ROM25を読み取り、各種位相の制御信号を発生する。したがって、このカウンタ部で生ずる雑音が映像信号に重畳されることが、確実に避けられる。



1

【特許請求の範囲】

【請求項1】 多数の光電変換素子の配列によって形成された撮像領域と、この撮像領域を構成する前記多数の光電変換素子からの信号を選択出力する複数のスイッチング手段と、これらのスイッチング手段にそれぞれスイッチング信号を印加することにより当該スイッチング手段を順次選択する水平走査用シフトレジスタと、この水平走査用シフトレジスタからの出力に対応して起動されるタイミング発生手段とを同一半導体チップ上に具備し、

前記水平走査用シフトレジスタは、前記撮像領域に対応する映像信号を前記スイッチング手段を介して出力させ、

かつ前記タイミング発生手段は、前記撮像領域の水平方向の端部に形成されるオブティカルブラック部の走査期間を内包する水平ブランキング期間に相当する領域で起動されて各種タイミングパルスを発生し、前記走査用シフトレジスタが起動した後に前記各種タイミングパルスの発生動作を停止することを特徴とする1チップ固体撮像装置。

【請求項2】 前記タイミング発生手段は、各種タイミングパルスの基準位相発生手段として、シフトレジスタを含んでいることを特徴とする請求項1記載の1チップ固体撮像装置。

【請求項3】 前記タイミング発生手段は、各種タイミングパルスの基準位相発生手段として、カウンタを含んでいることを特徴とする請求項1記載の1チップ固体撮像装置。

【請求項4】 前記水平走査用シフトレジスタは、一斉にリセットされた後に1クロックごとに前段から順番にセットされる縦続接続された複数のラッチと、これらのラッチに対応して設けられ、前段のラッチの非反転出力と自段のラッチの反転出力との論理積を出力する複数の論理積ゲートとを備え、これらの論理積ゲートの出力を基に走査用パルスを順次発生することを特徴とする請求項2又は3に記載の1チップ固体撮像装置。

【請求項5】 前記水平走査用シフトレジスタは、直列配置されたn個の記憶手段を含み、このn個の記憶手段の各々は前記スイッチング信号を出力するとともに、最終段の記憶手段からの出力により前記タイミング発生手段の帰線期間用シフトレジスタを構成するカウンタを起動し、かつこのカウンタの最終カウント出力が前記n個の記憶手段の先頭段に入力されるように構成したことを特徴とする請求項2又は3に記載の1チップ固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば車載カメラ、監視用カメラ、家庭用ムービカメラ等に使用される半導体固体撮像素子と、この固体撮像素子を駆動する回

2

路要素を一体化して構成した1チップ固体撮像装置に関する。

【0002】

【従来の技術】 小型簡易化したビデオカメラとして、固体撮像素子が一般的に用いられている。この様な固体撮像素子は、多数の光電変換素子を面状に配置して構成され、これら光電変換素子それぞれからの撮像イメージ信号を走査手段を介して読み出し、映像信号として出力させる。この様な映像信号を出力させるために、X-Yアドレス型の固体撮像素子では、水平方向の走査回路が設けられ、この走査回路を起動するタイミング発生回路が必要とされるもので、ビデオカメラには固体撮像素子と組み合わせてタイミング発生回路が搭載されている。

【0003】 ビデオカメラを小型化するために、撮像素子とタイミング発生回路を1チップ化することが考えられる。タイミング発生回路としては、通常は分周回路とロジック回路を組み合わせたタイミング発生回路が使われているが、分周雑音が多く発生するため、撮像素子とタイミング発生回路を分離した位置におかなければなら

なかった。

【0004】 分周雑音を減らすためには、例えばリングカウンタが使用されるが、この場合、固体撮像素子の走査回路とは全く別個にタイミング発生用としてのみこのリングカウンタが設けられるため、回路規模が大きくなる。

【0005】

【発明が解決しようとする課題】 この発明は上記のような点に鑑みなされたもので、固体撮像素子と同一チップ上にタイミング発生回路を搭載できるようにするものであり、特にこのタイミング発生回路の一部であるカウンタ回路部分からの分周雑音信号が、映像信号に対して重畳されることがなく、良質の映像信号出力が得られるようにする1チップ固体撮像装置を提供するものである。

【0006】

【課題を解決するための手段】 この発明に係る1チップ固体撮像装置は、半導体チップ上に多数の光電変換素子の配列によって形成された撮像領域、およびこの撮像領域から撮像映像信号を読み取る水平走査スイッチング手段を形成し、さらにこの半導体チップ上に水平走査スイッチング手段を制御する水平走査用シフトレジスタと、この水平走査用シフトレジスタからの出力に対応して駆動される帰線期間用シフトレジスタを含むタイミング発生手段とを形成し、撮像領域の水平方向の一側部に設定されるブラック部に対応するブランキング期間に相当する領域で帰線期間用シフトレジスタが起動され、帰線期間に相当する水平ブランキング期間でのみ前記タイミング発生手段が動作されるようにした。

【0007】 ここで、走査用シフトレジスタは、スイッチング信号が順次転送される縦続接続された多数段の記

3

憶手段によって構成され、その記憶手段からの出力に基づいてタイミング発生手段が動作されるようにするものである。

【0008】このように構成される1チップ固体撮像装置によれば、撮像領域を駆動するためのタイミング信号を発生するタイミング信号発生手段は、走査用シフトレジスタを構成する、例えば多数のフリップフロップ回路の映像信号を出力させる領域以外の、水平ブランキング期間においてのみ、タイミング信号発生手段が動作する。したがって、このタイミング信号発生手段においてカウンタの駆動電流が変動しても、寄生容量等によって映像信号期間に重畳されることがなく、信頼性に富む良質の映像信号出力が得られる。

【0009】

【発明の実施の形態】以下、図面を参照してこの発明の一実施形態を説明する。図1は1チップ固体撮像装置の概略的な構成を示すもので、半導体チップ上に撮像領域11が設定される。この撮像領域11は、多数の光電変換素子が平面状に配列して構成されるもので、その水平方向に並ぶ光電変換素子の1つの例が1水平走査線とされ、この水平走査線が垂直の方向に多数本並べて配置されている。

【0010】この1水平走査線に沿って並ぶ多数の光電変換素子それぞれからの入力光学像の明るさに対応した映像信号は、ノイズキャンセラを含む水平走査スイッチング回路12によって順次読み出し出力され、映像信号として出力される。この水平走査スイッチング回路12は、水平走査用シフトレジスタ13によって制御されるもので、水平方向に並ぶ光電変換素子から読み出された信号が順次選択され、映像信号として出力される。

【0011】水平走査用シフトレジスタ13の出力は、タイミング発生回路15に供給される。このタイミング発生回路15は、帰線期間用シフトレジスタ151を備えるもので、このシフトレジスタ151は、ブランキング期間を計数するカウンタを構成し、その計数値に対応して各種タイミング信号を出力し、そのタイミング信号の一つが、水平走査用シフトレジスタ13に入力されている。

【0012】すなわち、撮像領域11の1水平走査線に対応する映像信号が、水平走査用シフトレジスタ13からの出力に対応して読み出されたならば、その1水平走査線の終了と共に、タイミング発生回路15の帰線期間用シフトレジスタ151が起動される。そして、1水平走査線の映像信号に続く水平ブランキング期間を計数するもので、この帰線期間用シフトレジスタ151による計数信号に基づいて、垂直駆動回路16が駆動され、撮像領域11内の次の水平走査線を選択する。したがって、水平ブランキング期間においてのみ、タイミング発生回路15が動作状態とされ、そのカウンタ回路を構成する帰線期間用シフトレジスタ151の駆動電流に変動が生じても、これに伴う雑音が映像信号期間内に重畳されることがない。

4

【0013】図2は走査用シフトレジスタ13並びにタイミング発生回路15部分のさらに詳細な実施の形態を示しているもので、走査用シフトレジスタ13はm個のDフリップフロップ211～21mによって構成される。このn個のDフリップフロップ211～21mは、それぞれ出力Qが次段の入力Dに接続されているもので、先頭段からの入力パルスを1クロック（CLK）毎に1段ずつ転送する。そして、その各Dフリップフロップ211～21mそれぞれからのQ出力O1、O2、…、Omが、水平走査スイッチング回路12の各スイッチ素子に単発パルスを与え、このスイッチング回路12の走査制御が行われる。

【0014】このm段のDフリップフロップ211～21mにさらに縦続接続して、Dフリップフロップ21m+1～21nが設けられる。このDフリップフロップ21m+1～21nは、オプティカルブラック部分の走査用である。

【0015】先頭からm段目のDフリップフロップ21mからの出力は、R/Sフリップフロップ22のセット入力と、カウンタ24のクリア入力に供給され、カウンタ24がクリアされ、フリップフロップ22をセットする。このR/Sフリップフロップ22の非反転出力は、クロック（CLK）と共にアンド回路23に入力されてその論理積が取られ、バースト状のクロック波形を出力してカウンタ24に供給する。

【0016】このカウンタ24の計数出力は、パルス発生用ROM25のアドレス線に入力されるもので、カウンタ24の計数値に対応したアドレス値に基づき、このパルス発生用ROM25から撮像素子の駆動タイミングパルス、同期信号系のパルス、タイミング発生部の制御パルス等の種々の位相のパルスが発生される。

【0017】パルス発生用ROM25は、同期信号系のパルスの1つとして垂直カウンタ用のクロック（HCLK）も発生しているもので、このクロック（HCLK）は垂直カウンタ26で計数される。この垂直カウンタ26の計数値信号は、同期発生用ROM27にアドレスとして供給され、垂直同期関係のパルスを発生する。

【0018】この様に構成される水平走査用シフトレジスタ12において、その先頭段のDフリップフロップ211に単発パルスが入力されると、m個のクロック（CLK）の後に、m段目のDフリップフロップ21mのQ出力が“1”となり、カウンタ24がリセットされると共に、R/Sフリップフロップ22がセットされる。R/Sフリップフロップ22がセットされることにより、アンド回路23にゲート信号が与えられ、カウンタ24はクロック（CLK）を計数する。

【0019】Dフリップフロップ21mがセットされた次のクロックで、このDフリップフロップ21mの出力は“0”となる。このため、カウンタ24のクリアが解除されて、このカウンタ24がクロック（CLK）を計数するようになって、その計数値がパルス発生ROM25のアドレスを指定する。したがって、このパルス発生ROM25

5

の内容が、カウンタ24の計数の進行に伴って順次読み出され、所定位相のパルス出力が各ビット線から出力される。

【0020】図3はこの様な水平走査用シフトレジスタ12を構成する各要素に対応した部分の信号波形を示しているもので、Dフリップフロップ211、212、…、21nそれぞれのQ出力と共に、R/Sフリップフロップ22からの出力(CNTREN)、さらにアンド回路23からの出力(CNTRCK)を示し、このバースト状のクロック(CNTRCK)によってカウンタ24が計数されて、パルス発生ROM25からHD、SP1、SYNC、BF等の信号が読み出し出力される。

【0021】このパルス発生ROM25からの出力に、Dフリップフロップ211、212、…、21nで構成されたシフトレジスタ13への単発入力パルス(SPIN)も含まれているもので、この単発入力パルス(SPIN)が先頭段のDフリップフロップ211のD端子に入力され、所定の位相で水平走査が開始される。

【0022】この様な水平走査用シフトレジスタ13の走査が開始されてから、さらに所定時間が経過した後に、パルス発生ROM25からR/Sフリップフロップ22に対するリセットパルスが発生され、このフリップフロップ22をリセットさせてカウンタ24に対する入力クロックを停止させ、タイミング発生回路15部の動作が停止される。そして、第m段のDフリップフロップ21mのQ出力が“1”となったとき、再びこのタイミング発生回路15の動作が開始され、この様なタイミング発生動作が繰り返される。

【0023】すなわち、このタイミング発生回路15部分の動作を司るカウンタ24は、各種制御パルスを発生させなければならないとき以外は、動作が停止する。したがって、映像信号期間では、カウンタ24で雑音信号が発生されないため、映像信号上には雑音が現れない。また、タイミング発生回路15部の動作がブランキング期間のみに限られるため、そのと動作時間が短縮されて消費電力を低くすることができる。

【0024】図4は水平走査用シフトレジスタ13並びにタイミング発生回路15の第2の実施の形態を示すもので、反転したクロックによって駆動されるDフリップフロップ31を備え、そのQ出力およびその反転出力をアンド回路32および33を介してT1およびT2として取り出す。

【0025】走査用シフトレジスタ13は、n個のラッチ回路340、341、…、34nを縦続接続して構成される。その奇数段目のラッチ回路340、342、…のゲート

(G)には、アンド回路32からの出力T1を入力し、偶数段目のラッチ回路341、343、…のゲート(G)には、アンド回路33からの出力T2を入力する。そして、各ラッチ回路の入力と反転出力との論理積をアンド回路351、352、…で取ることにより、単発パルスO1、O

6

2、…、Onを作り、この出力は水平走査スイッチング回路12の各スイッチを制御する。この単発パルスO1、O1、…、Onは、水平走査用パルスとされ、撮像領域11の水平方向に並ぶ光電変換素子からの映像信号を順次読み取る。

【0026】この様な水平走査用シフトレジスタ13の第n段目のラッチ回路34nの出力Fnは、プリセット(PR)付きDフリップフロップ36のプリセット端子に入力される。このDフリップフロップ36からの出力A1は、クロック(CLK)と共にアンド回路37に入力され、その論理積によりバースト状のクロック波形を出力し、パルス発生用のシフトレジスタを構成するm個の縦続接続したDフリップフロップ381、382、…、38mそれぞれのクロック入力に入力される。このm個のDフリップフロップは、帰線期間用シフトレジスタ151を構成する。

【0027】これらのDフリップフロップ381、382、…、38mそれぞれからの出力S1、S2、…、Smは、ロジック回路によって構成されたパルス発生回路39に供給され、図2の実施の形態の例と同様に撮像素子の駆動タイミングパルス、同期信号系のパルス、タイミング発生部の制御パルス、等の種々の位相のパルスを発生する。図6にその各部の信号波形を示している。

【0028】第k段目のDフリップフロップ38kの出力は、Dフリップフロップ31および水平走査用シフトレジスタ13を構成するラッチ回路340、341、…、34nのそれぞれクリア入力に対して供給される。また、パルス発生回路39には、同期信号系のパルスの1つである垂直カウンタ用クロック(HCLK)を発生し、このクロックは垂直同期発生回路40に供給され、垂直同期関係のパルスを発生させる。

【0029】この様に構成される水平走査用シフトレジスタ13において、まずDフリップフロップ31に対してクロックが入力されると、1クロック分位相のずれた信号T1およびT2が得られる。初段のラッチ回路340のゲートに信号T1が入力されるとその出力F0が“1”になり、これが次段のラッチ回路341のD端子に入力されて、1クロック位相のずれた信号T2がそのゲートに入力されると、その出力F1が“1”となる。このラッチ回路341の入力であるF0とF1の反転出力とは、アンド回路351に入力されて、水平走査スイッチング回路12を制御する信号O1を出力する。

【0030】この様にして、nクロック後には第n段のラッチ回路34nの出力Fnが“1”となり、プリセット付きDフリップフロップ36に入力される。このDフリップフロップ36の出力が“1”にプリセットされたことにより、アンド回路37がバースト波形を出力する。そして、さらに次のクロックでパルス発生用シフトレジスタの初段のDフリップフロップ381の出力S1が“1”となり、さらにk番目のクロックで第k段のDフリップフロップ38kの反転出力が“0”となり、Dフリップフロ

7

ップ31、さらにラッチ回路351～35nがクリアされ、パルス発生用シフトレジスタの初段のDフリップフロップ381の入力が“0”になる。

【0031】このときからkクロック後に、このk番目のDフリップフロップ38kの反転出力は“1”となり、Dフリップフロップ31、さらにラッチ回路351～35nのクリアが解除され、このパルス発生用シフトレジスタの走査が始まる。すなわち、タイミング発生手段の動作が開始される。そして、第m番目のクロックによってm段目のDフリップフロップ38mの反転出力が“1”となり、これがプリセット付きDフリップフロップ36のクロック端子に入力され、その出力A1が“0”となってアンド回路37からの出力クロックが停止される。

【0032】すなわち、水平走査用シフトレジスタ13を構成するラッチ回路341～34nを走査している間に、水平走査スイッチング回路12を制御する信号O1～Onが出力されて、撮像領域11の光電変換素子から映像信号を読み取り出力する。そして、このイメージ信号が出力される映像信号部分の走査が終了した後に、パルス発生用シフトレジスタを構成するDフリップフロップ38k～38mに“0”のデータが順次転送されるもので、その間は映像信号の存在しないブランキング期間とされて、黒のレベルのクランプ等のOB（オプティカルブラック）部に関する処理が行われる。このため、映像信号部分の走査線が選択されている状態では、パルス発生部は動作していない。

【0033】ここで、水平走査用シフトレジスタ13を第1の実施形態にあつてはDフリップフロップを使用して構成し、第2の実施形態にあつてはラッチ回路を用いて構成するようにした。そのいずれの場合にあつても、リングカウンタを使用する場合に比較して、構成が簡易化される。

【0034】X-Yアドレス型のMOS型イメージセンサでは、読み出しの際に水平シフトレジスタが用いられている。第1および第2の実施形態に示した例にあつては、このような水平シフトレジスタをタイミング発生用の

8

カウンタの一部として利用しているものであり、このため同期信号を発生するために増加する回路要素は、ブランキング期間を計数するカウンタに相当する部分のみであり、タイミング発生専用リングカウンタを利用するのに比較して回路規模が小さくされ、1チップ化に効果的である。

【0035】

【発明の効果】以上のようにこの発明に係る1チップ固体撮像装置によれば、固体撮像素子に対して一体的にタイミング発生回路を搭載するようにした場合、特にこのタイミング発生回路を構成するようになるカウンタ回路部分からの分周雑音信号が、映像信号に対して重畳されることがなく、良質の映像信号出力が得られる。

【図面の簡単な説明】

【図1】この発明の一実施の形態に係る1チップ固体撮像装置を概略的に説明する構成図。

【図2】上記実施の形態における水平走査用シフトレジスタ並びにタイミング信号発生部分の構成を示す図。

【図3】上記実施の形態を説明するための信号波形図。

【図4】第2の実施の形態に係る水平走査用シフトレジスタ並びにタイミング信号発生部分の構成を示す図。

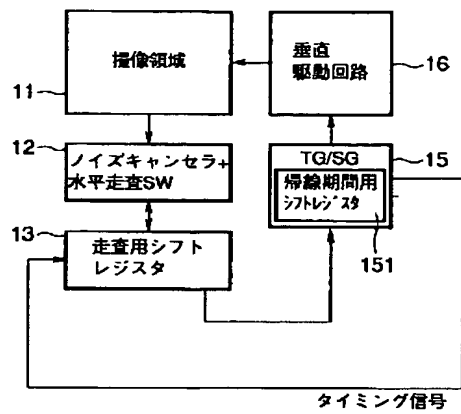
【図5】この実施の形態を説明する信号波形図。

【図6】図5に続く動作を説明する信号波形図。

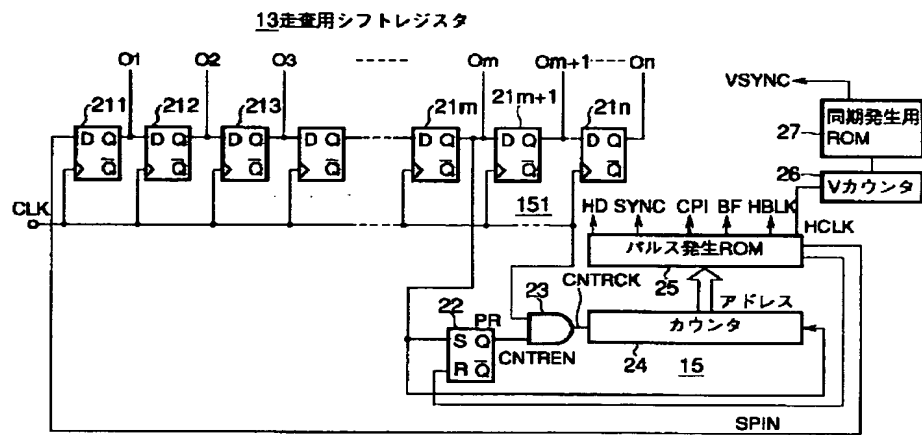
【符号の説明】

- 11…撮像領域
- 12…水平走査スイッチング回路
- 13…水平走査用シフトレジスタ
- 15…タイミング発生回路
- 151…帰線期間用シフトレジスタ
- 16…垂直駆動回路
- 211～21n…Dフリップフロップ
- 22…R/Sフリップフロップ
- 24…カウンタ
- 25…パルス発生ROM
- 341～34n…ラッチ回路

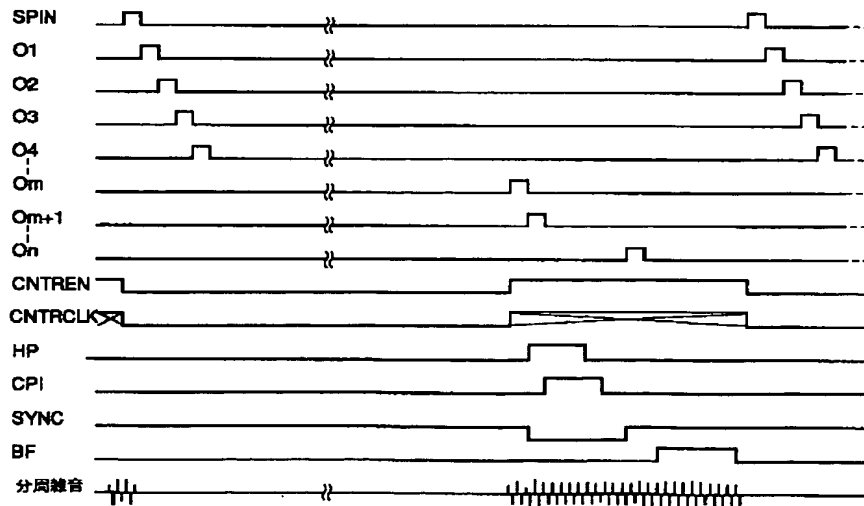
【図1】



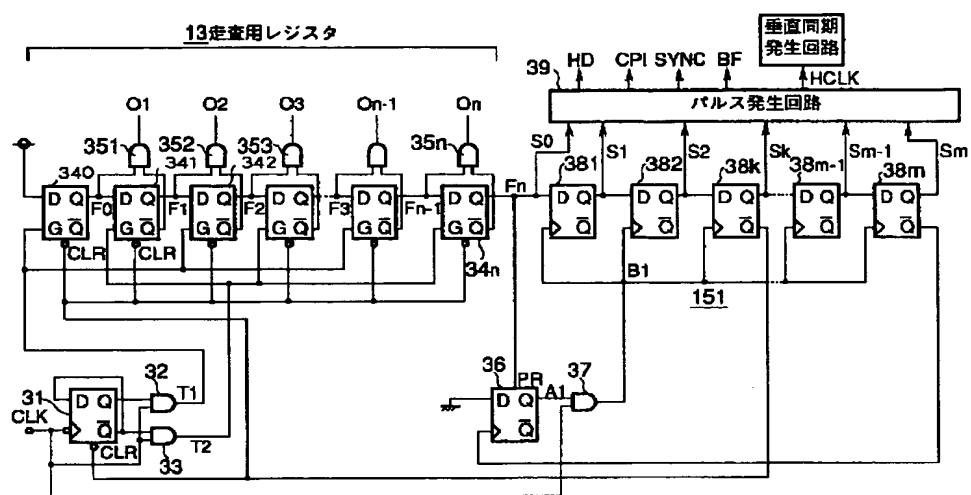
【図2】



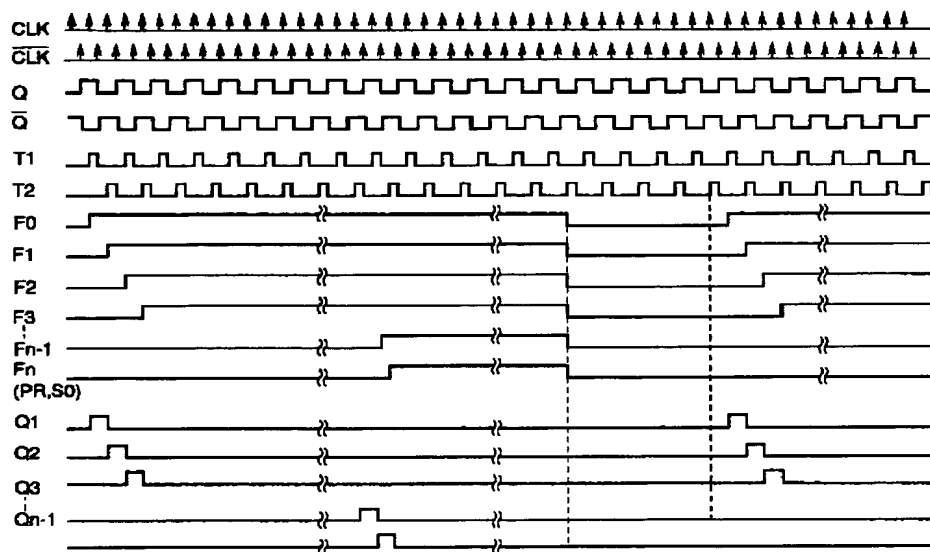
【図3】



【图 4】



【☒ 5】



【図6】

